

Family list

3 family member for:

JP1108527

Derived from 1 application.

1 MANUFACTURE OF THIN FILM TRANSISTOR MATRIX

Publication info: **JP1108527 A** - 1989-04-25

JP2020870C C - 1996-02-19

JP7060232B B - 1995-06-28

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

02810927 **Image available**

MANUFACTURE OF THIN FILM TRANSISTOR MATRIX

PUB. NO.: 01-108527 [JP 1108527 A]

PUBLISHED: April 25, 1989 (19890425)

INVENTOR(s): ENDO TETSURO

 YANAI KENICHI

 OURA MICHIIYA

 KAMATA TAKESHI

 KAWAI SATORU

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
 (Japan)

APPL. NO.: 62-267918 [JP 87267918]

FILED: October 22, 1987 (19871022)

INTL CLASS: [4] G02F-001/133; H01L-027/12; H01L-029/78

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
Metal

 Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 911, Vol. 13, No. 349, Pg. 77, August
 07, 1989 (19890807)

ABSTRACT

PURPOSE: To manufacture a thin film transistor matrix whose parasitic capacity is small without complicating the manufacturing process by making an unnecessary part soluble by an auxiliary exposure continued from a back exposure.

CONSTITUTION: An image reversal photoresistor film is used, an intersection part is exposed and a heating treatment is performed, and a part to be exposed is made insoluble against a developer. Subsequently, by a back exposing method, a picture element electrode E part and a drain bus line DB part become soluble, and a pattern edge of a gate electrode G is delimited

as self-matching. In the end, by performing an exposure to other part than a pattern containing the gate electrode G and a gate bus line GB and an unnecessary part becomes soluble, and by executing a development processing, a resist film is formed. Also, this resist film is used as a mask and a transparent conductive film is removed by etching. In such a way, an overlap of the gate electrode G and the picture element electrode E, namely, a source electrode S can be reduced, and the parasitic capacity CGS can be decreased.

?

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-108527

⑬ Int.Cl. ⁴	識別記号	庁内整理番号	⑭ 公開 平成1年(1989)4月25日
G 02 F 1/133	3 2 7	7370-2H	
H 01 L 27/12		A-7514-5F	
29/78	3 1 1	Z-7925-5F	審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 薄膜トランジスタマトリクス製造方法

⑯ 特 願 昭62-267918

⑰ 出 願 昭62(1987)10月22日

⑱ 発 明 者 遠 藤 鉄 郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 発 明 者 梁 井 健 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 発 明 者 大 浦 道 也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 発 明 者 鎌 田 豪 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一

最終頁に続く

明 細 書

1. 発明の名称

薄膜トランジスタマトリクス製造方法

2. 特許請求の範囲

透明絶縁性基板(1)上に、透光性材料膜を選択的に形成してソース電極(S)を一体化した画素電極(E)と、ドレイン電極(D)を一体化したドレインバスライン(DB)を形成し、次いで前記画素電極(E)およびドレインバスライン(DB)に自己整合した非透光性絶縁材料からなる不透明絶縁膜(4)を形成する工程と、

所定のパターンに従って透光性を有する動作半導体層(5)及びゲート絶縁膜(6)領域を画定する工程と、

透明導電膜(8)を成膜した後、該透明導電膜上にイメージリバーサルフォトリソ膜を形成し、

該イメージリバーサルフォトリソ膜に対し、

前記ドレインバスライン(DB)とゲートバスライン(GB)との交差部を透光部とするマ

スクを用いて表側から補助露光を施した後、所定温度でベーキングを施し、

前記不透明絶縁膜(4)をマスクとする背面露光を施し、前記画素電極(E)及びドレインバスライン(DB)を透過する光により露光することにより、ゲート電極(G)のパターンエッジを画定し、

前記ゲートバスライン(GB)形成部と前記ゲート電極(G)のパターンエッジに挟まれた区域より広い区域とを遮光部とするマスクを用いて補助露光を施し、

しかる後現像処理を行ってレジスト膜を形成する工程と、

前記レジスト膜をマスクとして前記透明導電膜(8)の露出部を除去する工程とを具備することを特徴とする薄膜トランジスタマトリクス製造方法。

3. 発明の詳細な説明

(概 要)

本発明は液晶表示等に用いる薄膜トランジスタマトリクス製造方法に関し、

寄生容量 C_{gs} の小さい薄膜トランジスタマトリクスを、製造工程を複雑化することなく製造できるようにすることを目的とし、

透明絶縁性基板上に、透光性材料膜を成膜してソース電極を一体化した画素電極と、ドレイン電極を一体化したドレインバスラインを形成し、次いで、前記画素電極およびドレインバスラインに自己整合した非透光性絶縁材料からなる不透明絶縁膜を形成する工程と、所定のパターンに従って透光性を有する動作半導体層及びゲート絶縁膜領域を画定する工程と、透明導電膜を成膜した後、該透明導電膜上にイメージリバーサルフォトリソ膜を形成し、該イメージリバーサルフォトリソ膜に対し、前記ドレインバスラインとゲートバスラインとの交差部を透光部とするマスクを用いて表側から補助露光を施した後、所定温度でベーキングを施し、次に前記不透明絶縁膜をマスクとする背面露光を施し、前記画素電極及びドレ

インバスラインを透過する光により露光することにより、ゲート電極のパターンエッジを画定し、前記ゲートバスライン形成部と前記ゲート電極のパターンエッジに挟まれた区域より広い区域とを透光部とするマスクを用いて補助露光を施し、しかる後現像処理を行ってレジスト膜を形成する工程と、前記レジスト膜をマスクとして前記透明導電膜の露出部を除去する工程とを具備する構成とした。

〔産業上の利用分野〕

本発明は液晶表示等に用いる薄膜トランジスタマトリクス製造方法に関する。

〔従来の技術〕

TFTなどのスイッチング素子を用いた通常のアクティブマトリクス型の液晶表示パネルにおいては、第2図に示す如く、画素を選択するためのゲートバスライン（スキャンバスライン、走査ラインとも称される）GBと、画素ごとの表示デー

- 3 -

タを供給するドレインバスライン（データバスライン、信号ラインとも称される）DBは、同一基板上に交差して配設され、更に画素電極Eから導出されたソース電極Sは、上記ドレインバスラインDBに平行に近接配置され、この両者にゲートバスラインGBが交差する如く形成されている。

このようにソース電極SとドレインバスラインDBを平行に近接配置し、この両者にゲートバスラインGBを交差させたことにより、ドレインバスラインDBにドレイン電極Dを、ゲートバスラインGBにゲート電極Gを兼ねさせ、スペースの有効利用を図るとともに、ドレインバスラインDB、ソース電極S、および画素電極Eを同一工程で形成でき、製造工程を簡便化している。

〔発明が解決しようとする問題点〕

しかしながら上述の如く、従来はゲートバスラインとソース電極が重なり合うため、両者の間に寄生容量 C_{gs} が生じ、液晶パネルの駆動時にノイズの発生源となる。

- 4 -

本発明は、寄生容量 C_{gs} の小さい薄膜トランジスタマトリクスを、製造工程を複雑化することなく製造できるようにすることを目的とする。

〔問題点を解決するための手段〕

本発明においては、画素電極Eをソース電極Sとしても用い、透明絶縁性基板上に画素電極E及びドレインバスラインDBを透明導電材料により、これら以外の部分に透光性絶縁材料からなる不透明絶縁膜を形成する。次いで動作半導体層およびゲート絶縁膜を含む積層体を形成し、これを所定のパターンに従って不要部を選択的に除去して素子分離を行う。ここで使用するパターンは、素子部およびゲートバスライン形成部を一体化したものである。

次いで透明導電膜を成膜し、透明な画素電極EとドレインバスラインDBをマスクとする自己整合法により、上記透明導電膜をパターニングしてゲート電極Gを形成するのであるが、ゲート電極Gに接続するゲートバスラインGBやゲートバス

- 5 -

- 178 -

- 6 -

ラインGBとドレインバスラインDBとの交差部は、上述の自己整合法のみではパターンニングできない。

そこで、イメージリバーサルフォトリソレジスト膜を用い、まず上記交差部を露光し加熱処理を施して、当該被露光部を現像液に不溶性としておき、次いで背面露光法により画素電極EおよびドレインバスラインDB部を溶解性として、ゲート電極Gのパターンエッジを自己整合的に固定し、最後にゲート電極Gを含むパターン及びゲートバスラインGB以外の部分に露光を施して不要部を溶解性とし、現像処理を行なってレジスト膜を形成する。

このレジスト膜をマスクとして透明導電膜をエッチング除去する。以上でゲート電極Gと画素電極E即ちソース電極Sとの重なりを非常に少なくすることができ、寄生容量C_{ps}を減少する。

(作 用)

イメージリバーサルフォトリソレジストは本来はボ

ジ型であるが、露光した後ベーキングを施すと、上記被露光部はあたかもネガ型の如く現像液に不溶性となる。しかし、未露光部はポジ型の性質を保持している。

本発明はこれを利用したものであって、ゲート電極Gのパターンエッジを背面露光法によって、画素電極EおよびドレインバスラインDBに対して自己整合的に固定し、上記背面露光法によって固定できない部分を背面露光に先立つ補助露光プラス加熱処理によって現像液に不溶性とする工程と、背面露光に引き続く補助露光によって不要部を溶解性とする工程とを付加することによって、所望のパターンを形成したものである。

(実 施 例)

以下本発明の一実施例として、薄膜トランジスタマトリクスを製造する例を、第1図(Ⅱ)～(Ⅴ)を参照して説明する。なお同図(Ⅱ)～(Ⅴ)は、それぞれ(Ⅱ)、(Ⅲ)、(Ⅳ)のA-A矢視部断面を示す。

(同図(Ⅱ)、(Ⅲ)参照)

- 7 -

ガラス基板のような透明絶縁性基板1上に、透明導電膜(厚さ約30~100 nm)2及びコンタクト層3として、n⁺ a-Si層(厚さ約30 nm)を積層する。次にこれらの不要部を除去して、ソース電極Sを兼ねる画素電極EとドレインバスラインDBを形成し、次いでその除去跡にSiO₂のような黒色の不透明絶縁膜4を形成する。この不透明絶縁膜のパターンニングは、上記画素電極E及びドレインバスラインDBを形成時にマスクとして使用したレジスト膜によるリフトオフ法で実施できる。

(同図(Ⅱ)、(Ⅲ)参照)

次いで動作半導体層(a-Si層;厚さ約30~100 nm)5、ゲート絶縁膜(SiN膜;厚さ約300 nm)を連続成膜し、素子分離パターンでパターンニングを行い、素子領域7を形成する。この素子領域7の形成域は、ゲート電極G形成領域およびゲートバスラインGB形成領域を一体化した領域を含んだものとする。

(同図(Ⅱ)、(Ⅲ)参照)

- 9 -

- 8 -

次いで透明導電膜8を成膜し、その上にイメージリバーサルフォトリソレジスト(例えば米国ヘキスト社製、AZ5214-E)を塗布する。

(同図(Ⅳ)参照)

次いでドレインバスラインDBと、この後工程で形成するゲートバスラインGBとの交差部の直上部のイメージリバーサルフォトリソレジスト膜を露光し、次いで約120℃に加熱する。以上で上記被露光部9は現像液に対して不溶性となり、以後の露光処理等によっても変化しない。

引き続き透明絶縁性基板1の裏側より背面露光を行う。この背面露光は、上記イメージリバーサルフォトリソレジスト膜が動作半導体層等を透過した光で十分露光されるのに要する時間、露光を行う。この背面露光により、図に梨地で示した部分が露光され、現像液に溶解性となる。

(同図(Ⅳ)参照)

次いで、図の10で示す2本の線で囲まれた領域を遮光部とする補助マスクを用いて補助露光を行う。上記遮光部は、ゲートバスラインGBを固定

し、既にパターンエッジを固定のための露光を施されたゲート電極Gより大き目のパターンとする。これは、ゲート電極Gのパターンエッジの外側のレジストは既に溶解性となり、ゲート電極Gの部分を除くレジスト膜は不溶性を保持しているが、まだ現像前であるので露光されるとその部分は溶解性となってしまい、パターンが崩れてしまう。そこで不溶性を有するゲート電極Gの部分は、ゲート電極Gより大き目のパターンとして露光されないようにしておく。

本工程で露光されるのは、図に梨地で示す部分であって、この部分は溶解性となる。この梨地の部分と上記(4)の梨地の部分とを合わせた区域が溶解性を有することになる。

従って、この後現像処理を施すことにより、図の10で示す2本の線で囲まれたパターンのレジスト膜が得られる。

(同図(4)、(5)参照)

上記レジスト膜をマスクとして透明導電膜8をエッチングしてその不要部を除去し、ゲート電極

Gを形成する。

以上で本実施例によりスタガード型薄膜トランジスタマトリクスが完成する。

このようにして得られた本実施例の薄膜トランジスタマトリクスにおいては、ゲート電極Gはソース電極Sおよびドレイン電極Dに自己整合し、相互の重なりは殆ど生じない。そのため寄生容量C_{gs}は従来に比較して大幅に減少する。

しかも本実施例では使用するフォトリソは4枚であるが、ゲート電極G形成工程〔同図(4)~(6)の工程〕において、同一レジスト膜に対してマスクを2枚使用しているため、露光に伴うレジスト塗布作業、前処理作業、後処理作業等は1回でよく、従って工程は至って簡略化されている。

(発明の効果)

以上の説明した如く本発明によれば、ゲート電極とソース電極（西素電極）間の重なりによる寄生容量が小さくなるため、パネル駆動時のノイズが減少する。また、製造工程における作業も簡単

- 11 -

であり、製造歩留も向上する。

4. 図面の簡単な説明

第1図(a)~(f)は本発明一実施例説明図、

第2図は従来の問題点説明図である。

図において、1は透明絶縁性基板、2は透明導電膜、3はコンタクト層、4は黒色（不透明）絶縁膜、5は動作半導体層、6はゲート絶縁膜、7は素子領域、8は透明導電膜、9は被露光部で不溶性とされた区域、10は補助露光パターン、D、S、Gはドレイン電極、ソース電極、ゲート電極、Eは西素電極、DBはドレインバスライン、GBはゲートバスラインを示す。

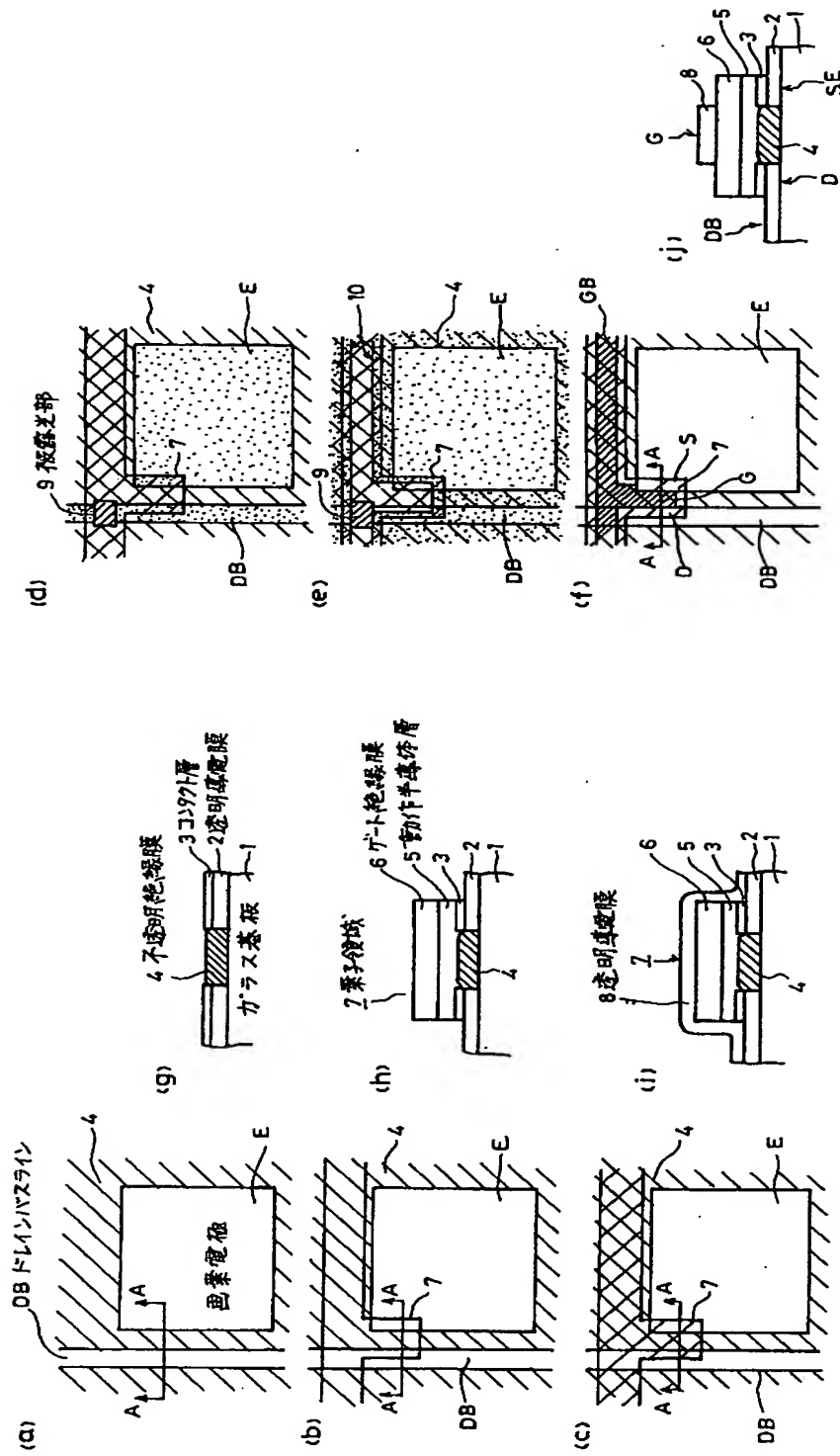
代理人 弁理士 井 祐 貞 一



- 12 -

- 13 -

—180—

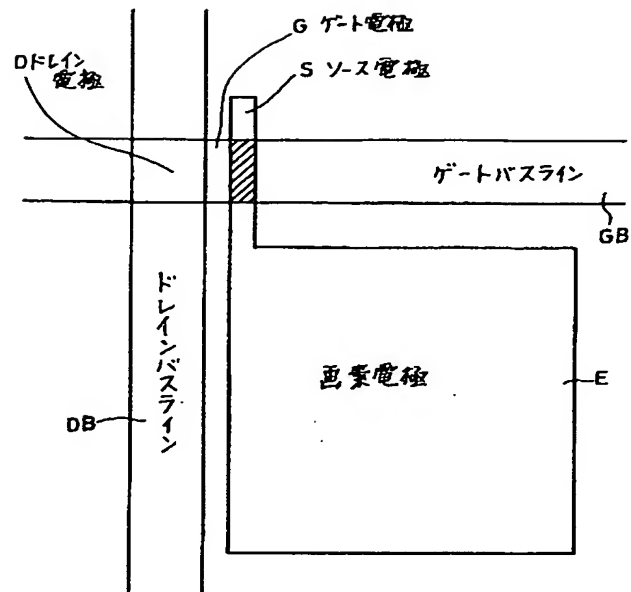


本発明一実施例説明図

第 1 図

本発明一実施例説明図

第 1 図



従来の問題点説明図

第 2 図

第1頁の続き

⑨発 明 者 川 井

悟

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内